

MENU

SEARCH

INDEX

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 08125120

(43)Date of publication of application: 17.05.1996

(51)Int.Cl.

H01L 27/00
H01L 21/3205

(21)Application number: 06257992

(71)Applicant:

HITACHI LTD

(22)Date of filing: 24.10.1994

(72)Inventor:

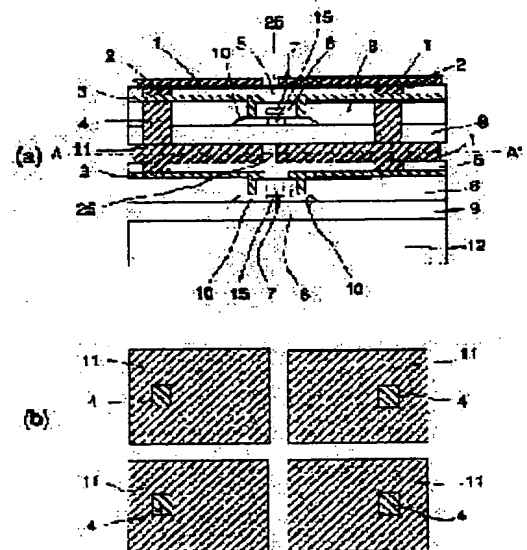
USAMI MITSUO
TOKUDA MASAHIRO

(54) SEMICONDUCTOR DEVICE AND PRODUCTION THEREOF

(57)Abstract:

PURPOSE: To obtain a highly reliable three-dimensional LSI having extremely high integration density and production method thereof.

CONSTITUTION: First and second LSIs arranged vertically are interconnected through planar surface and rear connection surface terminals 1, 11. In order to planarize the connection surfaces of the surface and rear connection surface terminals 1, 11, a wafer having silicon on insulator structure is employed. Since a bump projecting from the surface is not required, concentration of stress at the joint is relaxed and thermal resistance thereat is reduced, resulting in a three-dimensional LSI having extremely high reliability at the joint.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of
rejection]
[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

MENU

SEARCH

INDEX

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-125120

(43) 公開日 平成8年(1996)5月17日

(51) Int.Cl.⁸

H 0 1 L 27/00

21/3205

識別記号

3 0 1 B

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/ 88

J

審査請求 未請求 請求項の数13 O L (全 8 頁)

(21) 出願番号

特願平6-257992

(22) 出願日

平成6年(1994)10月24日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 宇佐美 光雄

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 徳田 正秀

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 薄田 利幸

(54) 【発明の名称】 半導体装置およびその製造方法

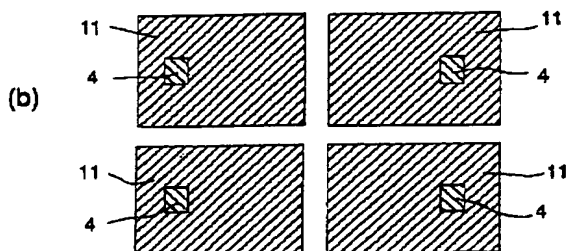
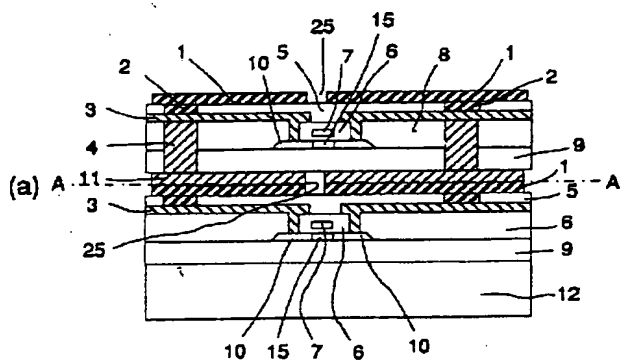
(57) 【要約】

【目的】 集積密度が極度に高く、信頼性の高い3次元LSIおよびその製造方法を提供する。

【構成】 上下に配置された第1および第2のLSIを、平面状の表面接続面端子(1)と裏面接続面端子(11)を介して互いに接続する。表面および裏面接続面端子(1、11)の接続面を平坦化するために、シリコン・オン・インシュレータ構造のウエハが使用される。

【効果】 表面から突出したバンプが不要になるため、接続部の応力集中と熱抵抗が低減され、接続部の信頼性が極めて高い3次元LSIが得られる。

図1



【特許請求の範囲】

【請求項 1】互いに積層して形成された複数の集積回路を具備し、第 1 の上記集積回路の上面上に形成された平面状の表面接統面端子と、上記第 1 の集積回路上に配置された第 2 の上記集積回路の裏面上に形成された平面状の裏面接統面端子は、互いに対向して接続され、上記第 1 の集積回路と上記第 2 の集積回路は、上記表面接統面端子と上記裏面接統面端子を介して互いに電氣的に接続されていることを特徴とする半導体装置。

【請求項 2】上記表面接統面端子と上記裏面接統面端子は、それぞれ細い溝状の空隙によって複数の領域に分離されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】所望の上記分離された領域を介して、当該領域の上部および下部にそれぞれ配置された上記第 2 および第 1 の集積回路が、互いに電氣的に接続されていることを特徴とする請求項 1 若しくは 2 に記載の半導体装置。

【請求項 4】他の上記分離された領域は、当該領域の上部および下部にそれぞれ配置された上記第 2 および第 1 の集積回路の互いに電氣的に接続されない部分の間に介在されていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】上記溝状の空隙の幅は、上記表面接統面端子と上記裏面接統面端子を互いに対向させて配置する際の合わせ精度より大きく、かつ、上記表面接統面端子および上記裏面接統面端子の上記領域の幅より小さいことを特徴とする請求項 1 から 4 のいずれかに記載の半導体装置。

【請求項 6】上記第 2 の集積回路の上面上には、当該第 2 の集積回路と電氣的に接続された第 2 の表面接統面端子が形成されていることを特徴とする請求項 1 から 5 のいずれかに記載の半導体装置。

【請求項 7】上記第 1 の集積回路には MOS トランジスタが形成されており、当該 MOS トランジスタのソースおよびドレインは、上記集積回路上に形成された上記表面接統面端子に、配線を介して電氣的に接続されていることを特徴とする請求項 1 から 6 のいずれかに記載の半導体装置。

【請求項 8】上記第 2 の集積回路に形成された第 2 の MOS トランジスタは、上記裏面接統端子上に積層して形成された絶縁膜上に形成され、上記第 2 の MOS トランジスタの上記ソースおよびドレインにそれぞれ接続された配線は、上記絶縁膜および当該絶縁膜上に積層して形成された分離用絶縁膜を貫通して設けられた裏面スルーホールに充填された導電性膜を介して上記裏面接統面端子と電氣的に接続されていることを特徴とする請求項 1 から 7 のいずれかに記載の半導体装置。

【請求項 9】下記工程を含む半導体装置の製造方法。半導体基板上に絶縁膜および単結晶半導体膜を積層して形

成する工程、

上記単結晶半導体膜の不要部分を除去した後、当該単結晶半導体膜に所望トランジスタ、当該トランジスタを包囲する分離用絶縁膜および上記トランジスタに接続され、上記分離用絶縁膜上に延伸する配線を形成する工程、

表面絶縁膜を全面に形成した後、当該表面絶縁膜の表面を平坦化する工程、

上記表面絶縁膜を貫通するコンタクトホールを形成した後、当該コンタクトホール内を導電性物質で充填する工程、

上記表面絶縁膜および上記導電性物質上に、溝状の空隙によって複数の領域に互いに分離された平面状の表面接統面端子を形成する工程、

第 2 の半導体基板上に第 2 の絶縁膜および第 2 の単結晶半導体膜を積層して形成する工程、

上記第 2 の単結晶半導体膜の不要部分を除去した後、当該第 2 の単結晶半導体膜上に第 2 のトランジスタ、当該第 2 のトランジスタを包囲する第 2 の分離用絶縁膜および上記第 2 のトランジスタと接続された第 2 の配線を形成する工程、

上記第 2 の単結晶半導体基板を除去して、上記第 2 の絶縁膜の裏面を露出させる工程、

上記第 2 の絶縁膜および上記第 2 の分離用絶縁膜を貫通し、上記第 2 の配線の裏面に達するスルーホールを形成する工程、

当該スルーホール内を導電性膜によって充填し、当該導電性膜を介して上記第 2 の配線と上記裏面接統面端子を電氣的に接続された平面状の裏面接統端子を形成する工程、

上記表面接統端子と上記裏面接統端子を互いに対向して接続する工程。

【請求項 10】上記第 2 の配線を形成する工程の後に、下記工程が付加されることを特徴とする請求項 9 に記載の半導体装置の製造方法。第 2 の表面絶縁膜を全面に形成した後、当該第 2 の表面絶縁膜の表面を平坦化する工程、

上記第 2 の表面絶縁膜を貫通するコンタクトホールを形成した後、当該コンタクトホール内を第 2 の導電性物質で充填する工程、

上記第 2 の表面絶縁膜および上記第 2 導電性物質上に、溝状の空隙によって複数の領域に互いに分離された平面状の第 2 の表面接統端子を形成する工程。

【請求項 11】上記表面接統端子と上記裏面接統面端子を互いに対向して接続する工程は、上記表面接統端子と上記裏面接統面端子の表面を、イオンの照射によってあらかじめ清浄化した後に行なわれることを特徴とする請求項 9 若しくは 10 に記載の半導体装置の製造方法。

【請求項 12】上記イオンは不活性元素のイオンであることを特徴とする請求項 11 に記載の半導体装置の製造

方法。

【請求項13】上記表面絶縁膜の表面を平坦化する工程は、化学機械研磨法によって行なわれることを特徴とする請求項9から12のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置およびその製造方法に関し、詳しくは、集積密度が極度に高く、かつ、高い信頼性を有する3次元LSIを実現するのに好適な、半導体装置およびこの半導体装置を高い精度で容易に形成することのできる半導体装置の製造方法に関する。

【0002】

【従来の技術】従来の3次元LSIの構造は、特公平4-47980に記載されている。すなわち、上記従来の3次元LSIにおいては、図2に示したように、シリコン基板12上に絶縁膜6を介して素子間絶縁膜8が形成され、この素子間絶縁膜8に設けられた開口部内に、ゲート酸化膜6、ゲート7およびソース・ドレイン10が形成されてある単結晶半導体膜15を有する第1のトランジスタが形成され、この第1のトランジスタを含む第1のLSIが構成されている。

【0003】この第1のLSIの上方には、同様に、絶縁膜9上に形成された素子間絶縁膜8の開口部内に、ゲート酸化膜6、ゲート7およびソース・ドレイン10が形成された単結晶半導体膜15を有する第2のトランジスタが形成され、この第2のトランジスタを具備した第2のLSIが構成されている。上記第1および第2のトランジスタのソース・ドレイン10には、配線3がそれぞれ接続され、さらに、この配線3を覆う表面絶縁膜5が形成されている。

【0004】上記表面絶縁膜5には表面スルーホール2が形成され、この表面スルーホール2内に形成された端子3'を介して、従来のパッド13が上記第1のトランジスタと接続された配線3の上面に接続され、さらに、上記従来のパッド13の上面には、接続ピン14が形成されている。

【0005】上記接続ピン14は、上記第2のトランジスタに接続された配線3の裏面に接続され、このようにして、上記第1および第2のトランジスタは、従来のパッド13および接続ピン14を介して互いに接続される。

【0006】

【発明が解決しようとする課題】上記従来の構造では、接続ピン14は、下方に形成された第1のLSIの表面から上方へ垂直に突出された高いバンプとなっている。このような高いバンプが存在すると、図2に示したように、隣接する接続ピン14の間には大きな空隙が生じてしまう。

【0007】しかし、上記第2のLSIは薄膜LSIであり、薄膜LSIは熱膨張率が互いに異なる各種材料を、1,000度C以上のプロセスを経て薄膜化することによって形成されているので、このような大きな空隙が存在すると、熱膨張によるひずみが各所に発生しやすくなり、また接続ピン14、パッド13および端子3'の間の接続面積が小さいので、接続を行った後の熱サイクルに対して局部応力が発生してクラックが入りやすい。さらに、上記接続面積が小さいため接触抵抗が大きくなり動作が不安定になりやすい、空隙が存在するために熱抵抗が大きくなり、温度が上昇するので高集積化が困難になるなど、多くの問題があった。

【0008】本発明の目的は、上記従来の問題を解決し、集積密度が極めて高く、かつ、信頼性が高い3次元LSI、およびこの3次元LSIを容易に形成することのできる半導体装置の製造方法を提供することである。

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明は、上記第1のLSIの上面および上記第2のLSIの裏面上に、それぞれ複数の平面状の表面接続面端子および裏面接続面端子をそれぞれ設け、互いに対向して接続させるとともに、これら表面接続面端子および裏面接続面端子を、上記第1および第2のトランジスタの配線に、それぞれ電氣的に接続させるものである。

【0010】上記第1のLSIの表面および上記第2のLSIの裏面上において、隣接する上記表面接続面端子および裏面接続面端子は、それぞれ細い溝状の空隙によって互いに分離され、互いに分離された各表面接続面端子は、上方に配置されてそれぞれ互いに対向する上記裏面接続面端子と、それぞれ電氣的に接続される。

【0011】上記表面接続面端子は、上記第1のトランジスタの配線の上面と電氣的に接続され、一方、上記裏面接続面端子は、上記第2のトランジスタの配線の裏面と電氣的に接続される。その結果、上記第1および第2のLSIは、上記表面接続面端子および裏面接続面端子を介して電気適に接続される。

【0012】

【作用】平面状の表面接続面端子および裏面接続面端子が、互いに対向して接続されているため、図2に示した上記従来の半導体装置において、上記第1のLSIの表面から上方に突出していた接続ピン14が不要になり、隣接する接続ピン14の間に存在していた大きな空隙は存在しない。そのため、薄膜LSIが、熱膨張率が互いに異なる各種材料を用い、1,000度C以上のプロセスを経て薄膜化されているにもかかわらず、熱膨張によるひずみはほとんど発生しない。

【0013】また、第1および第2のトランジスタの接続に、平面状の表面および裏面接続面端子が用いられているので、接続面積は十分大きい。そのため、接続形成

後の熱サイクルにおいて、局部応力の発生によるクラックが発生し難いばかりでなく、接触抵抗が小さく、接触抵抗が不安定となる恐れもない。さらに、接続ピン間の空隙が存在しないので熱抵抗が小さくなり、温度上昇も小さいので、集積密度が極度に高い超高密度メモリを実現できる。

【0014】

【実施例】

〈実施例1〉図1は、LSIを2層積層した実施例を示す断面図である。下方に配置された第1のトランジスタの、上面上に形成された金(Au)膜からなる表面接続面端子1は、上方に配置された第2のトランジスタの、裏面上に形成された金膜からなる裏面接続面端子11と接続されている。上記表面接続面端子1および裏面接続面端子11は、いずれも平面状であるため、両者の接続は面接続になっており、接触面積は極めて大きい。

【0015】上記絶縁膜9と単結晶シリコン膜15によってシリコン・オン・インシュレータ構造が構成されているので、上記絶縁膜9の裏面は極めて平坦である。上記裏面接続面端子11は、このようなきわめて平坦な絶縁膜9の裏面上に形成され、さらに化学機械研磨が行なわれるので、その表面は極度に平坦になり、上記表面接続面端子1との良好な面接続が容易に実現できる。

【0016】第1および第2のトランジスタは、通常の半導体プロセスを用いてゲート7やゲート酸化膜6などを形成して得た。各トランジスタは、絶縁膜9や素子間絶縁膜8によって互いに絶縁分離されており、各トランジスタの単結晶シリコン膜15の両端に形成されたソースおよびドレイン10には、図1に示すように配線3がそれぞれ接続されている。

【0017】第1および第2のLSIの配線3は、表面絶縁膜5に形成された表面スルーホール2内に充填された導電性膜を介して表面接続面端子1に接続され、上部に配置された第2のLSIの配線3は、さらに裏面スルーホール4内を充填する導電性膜を介して裏面接続面端子11に接続されている。

【0018】下部に配置された第1のLSIでは、シリコン基板12が残っているが、上部に配置された第2のLSIでは、シリコン基板は除去されて、薄膜LSIが構成されている。また、上記のように、第2のLSIの絶縁膜9および半導体膜15によってシリコン・オン・インシュレータ構造が形成され、上記裏面接続面端子11は、上記シリコン・オン・インシュレータ構造を構成する絶縁膜9の上に形成されているので、表面は極めて平坦である。

【0019】次に、表面接続面端子1および裏面接続面端子11の形状について説明する。表面接続面端子1および裏面接続面端子11は、上方に配置された第2のLSIと下方に配置された第1のLSIを電気的に接続するための端子である。従来の接続端子は、LSIの表面

(上面)のみに形成されて用いられたが、本発明では3次元LSIにおける、上下に積層して配置された第2および第1のLSIの裏および上面にそれぞれ形成され、これら第1および第2のLSIを互いに接続するために用いられる。

【0020】従来は、表面の平坦化が不十分であったためにバンプのような突起状の端子と接合する際に、バンプの先端部を変形させて複数の端子を均一に接続することが行われてきた。しかし、本発明では極度に平坦な面が実現されたため、広範囲の面積において均一な面接合を行うことが可能である。これは、張り合わせウエハを形成する際に、鏡面仕上げされた二つの面を均一に張り合わせることができることと同じである。この接続面端子はLSIの出力端子の位置や密度によって形状および寸法を適宜選択することができるが、表面接続面端子1および裏面接続面端子11を、できるだけ密に配置して、隣接する接続面端子の間の間隙を小さくすれば、信頼性の高い接続が可能となる。

【0021】次に、図3および図4を用いて、本実施例の製造工程を説明する。まず、図3(a)に示したように、単結晶シリコン基板12上にシリコン酸化膜からなる絶縁膜9および単結晶シリコン膜15を積層して、シリコン・オン・インシュレータ・ウエハ構造を形成した。上記単結晶シリコン膜15は、別途用意した単結晶シリコン基板を上記絶縁膜9に張合わせた後、この単結晶シリコン基板をエッチングして、厚さを小さくすることによって形成した。この際、化学的エッチングのみでもよいが、機械的に研削した後にエッチングを行なってもよい。上記絶縁膜9は、トランジスタを絶縁する膜であるとともに、後の工程においてLSIを薄膜化する際の、エッチングのストッパとして作用する。

【0022】次に、図3(b)に示したように、周知のホットエッチングを用いて、上記シリコン膜15を所定の形状に加工した後、周知のイオン打込み法を用いてソース・ドレイン10を形成し、さらにシリコン酸化膜を周知のCVD方を用いて全面に形成し、不要部分を除去して、開口部を介して上記シリコン膜15を露出する素子間絶縁膜8を形成した。

【0023】通常の製法に従って、ゲート酸化膜6、ゲート7およびソースおよびドレイン10を形成して、第1のトランジスタを形成した後、当該第1のトランジスタのソースおよびドレイン10にそれぞれ接続された配線3を形成し、さらに表面を絶縁するための表面絶縁膜5を全面に形成した。

【0024】この段階では、図3(b)に示したように、配線3の段差の影響を受けて、表面絶縁膜5の表面は平坦ではない。従って、この状態で表面絶縁膜5の上に接続接続面端子1を形成しても、段差が残る、表面の凹凸のために、均一な接続を全面に行なうことができず、不完全接続の部分が多数発生して歩留まりが大幅に

10

20

30

40

50

低下してしまう。

【0025】このような状態では3次元LSIの実現は不可能となるため、図3(c)に示したように、上記表面絶縁膜5を化学機械研磨して、表面を平坦化した。この化学機械研磨は、上記表面絶縁膜5の表面の化学処理をまず行って、表面を軟質化させ後、機械的な研磨を行なって表面を平坦化するものであり、ウエハ全域を十分に平坦化することができた。

【0026】図3(d)に示したように、表面が平坦化された上記表面絶縁膜5に、周知の選択エッチング方を用いて表面スルーホール2を形成した後、この表面スルーホール2を充填し、さらに、上記表面絶縁膜8の表面上に延伸する金膜を形成し、不要部分を除去して、表面接続面端子1を形成した。

【0027】次に、別途用意した第2のシリコン基板(図示せず、上記図3(a)～(d)におけるシリコン基板12に相当する)を用い、上記図3(a)～(d)に示したと同様に処理して、図3(d)に示したと同じ構造を形成した後、図4(a)に示したように、周知の湿式エッチングによって、上記第2のシリコン基板を除去した。この際、絶縁膜9を構成する二酸化シリコンのエッチング速度は、シリコンのエッチング速度より著しく小さいので、絶縁膜9はエッチングのストッパとして作用し、上記第1のトランジスタに悪影響を与えることなしに、極めて高い精度で第2のシリコン基板を除去して、薄膜化を行なうことができた。

【0028】第2のシリコン基板の除去に、上記エッチングの代わりに研磨を用いることもできる。この場合も、二酸化シリコンとシリコンは、研磨される速度が著しく異なるので、絶縁膜9は研磨のストッパとして作用し、上記第1のトランジスタに悪影響を与えることなしに、上記第2のシリコン基板を高い精度で除去することができた。

【0029】また、表面の平坦化やシリコン基板の除去などに研磨を用いた場合、研磨によるダメージ層が、深さ50ミクロン程度まで生ずることがあり、従来は、スルーホットの大幅な低下やコスト上昇の原因になっていた。しかし、本発明によれば、第2のシリコン基板とトランジスタの間には絶縁膜9が介在しているので、上記ダメージ層によって悪影響が生ずる恐れはなく、極めて容易に均一な薄膜化を行なうことができた。

【0030】次に、図4(b)に示したように、上記絶縁膜9および素子間絶縁膜8の所定部分をエッチして、配線3の裏側に達するスルーホール17を形成した後、図4(c)に示したように、金を全面に堆積した後、不要部分を除去して、上記スルーホール17を充填するとともに、上記絶縁膜9の裏面上に延伸する裏面接続面端子18を形成した。

【0031】図4(d)に示したように、上記表面接続面端子1と裏面接続面端子18を互いに対向させて位置

合わせを行なった後、上記表面接続面端子1と裏面接続面端子18の表面を、アルゴン(Ar)イオンなどを用いたスパッタリングによって清浄にし、上記表面接続面端子1と裏面接続面端子18の対向する面を密着させて接続させた。上記アルゴンイオンなどのスパッタリングによって、上記表面接続面端子1と裏面接続面端子18の表面は極めて清浄な活性化面になり、しかも、二つの接続面端子1、13の表面が極めて表面が平坦であるため、両者を近づけて密着させると、両者の原子が互いに拡散して境界が不明確になってバルク状になり、このような固相拡散によって両者は互いに強く接続された。しかも、接続の際に、高温度や高圧を印加する必要がないため、熱や圧力による残留応力が生ずる恐れはなく、極めて強固で信頼性の高い接続が実現された。

【0032】本発明によれば、信頼性の高い3次元LSIを形成するために、第1の薄膜LSIと第2の薄膜LSIが、それぞれ平面状の接続面端子を有し、各接続面端子は、細い溝状の空隙部分によって複数の領域に分離されて、互いに電氣的に独立されている。これらの細い溝状の空隙部分は、上下に配置された第1および第2の薄膜LSIを、互いに電氣的に接続する接続面端子および上記上下に配置された第1および第2の薄膜LSIが電氣的に接続されない接続面端子を、それぞれ囲むように形成されている。これらの細い溝状の空隙は、上下に配置された上記第1および第2の薄膜LSIの合わせ精度より大きい幅を有しているので、接続面端子の互いに分離された上記領域が互いに短絡してしまう恐れはない。しかも、上記空隙の幅は、互いに分離された上記領域の幅より小さいので、各接続面端子は敷き詰め状に配置することが可能となって、接合面の広範囲の平坦化が可能となり、歩留まりおよび信頼性が高く、低コストの接続が可能になった。

【0033】さらに、上記第2のLSIは、上記のように、シリコン・オン・インシュレータ構造のウエハを利用して薄膜化され、さらに、化学機械研磨法を用いてシリコン基板を除去されているので、絶縁膜9の表面は極めて平坦とされており、その上に形成される上記裏面接続面端子18の表面も極めて平坦になり、安定した薄膜LSIを形成できた。また、上記平面状の接続面端子の表面は、それらを互いに接続するに先だって、アルゴンイオンなどによるスパッタリングによって、活性化されているので、固相拡散接合が容易に行なわれ、信頼性の高い接合が実現された。また、他の接続法として、互いに対向する表面接続面端子1と裏面接続面端子18の間に異方性接着剤を介在させることによって、縦方向の導通と横方向の絶縁が同時に可能となり、3次元LSIにふさわしい接続を形成することが可能となる。

【0034】〈実施例2〉上記第1のLSIと第2のLSIの有する複数の平面状の接続面端子は、上記のように、それぞれ細い溝状の空隙部分によって互いに分離さ

れ、電氣的に独立されている。このような平面状の接続面端子を介して複数のLSIが積層されたメモリLSIを、平面積がより大きな半導体チップに接続して形成された半導体装置は、極めて応用範囲が広く、各種産業の拡大に極めて有用である。

【0035】例えば、図5に示したように、複数の薄膜LSI19を接続面端子20を介して積層して3次元LSI21を形成した(図5は、8層の薄膜LSIを積層した場合を示した)。薄膜LSIとしては、メモリ、ロジックあるいはアナログなど、各種LSIを使用することができ、また、コイル、レジスタあるいはキャパシタンスなど、受動部品などであってもよい。このようなLSIや部品は、一層の厚さを10ミクロン程度にすることも十分可能であるから、例えば、100層のLSIや部品を積層して3次元LSIを形成しても、その厚さは僅か1ミリメートル程度にしか過ぎないこれは、従来の半導体装置では実現が不可能な値であって、他のチップと融合接続することによって、各種機能モジュールを極めてコンパクトに実現することができる。例えば、図6に示したように、上記3次元LSI21を大チップLSI22の上に配置し、両者の間を多数の端子(図示せず)によって接続する。この大チップLSI22は、マイクロプロセッサ23を有しており、全体は基板24の上に実装されている。このような従来よりはるかに小型のモジュールが実現されたため、現在のテープ状のカセットメモリを、固体メモリで置き換えることが可能となり、極めてコンパクトなカメラが実現できたので、従来は困難であった各種用途に供することができる。また、大容量のキューシュメモリ、主メモリを有し、さらに二次元メモリとして、磁気ディスクなどが必要であった大型計算機システムも、本発明による3次元LSIによってそれらを置き換えることによって、電力消費効率および配線遅延時間の抜本的改善など、電力と性能が大幅に改善され、システムの省エネルギー化に極めて有用である。なお上記実施例では、接続面端子として金膜を用い

たが、金に限定されるものではなく、金以外の各種金属をしようできる。また、裏面スルーホールを充填する導電性膜や、ソース・ドレインと接続される配線としては、従来用いられた各種材料を用いることができる。

【0036】

【発明の効果】上記説明から明らかなように、本発明によれば、従来は不可欠であったバンプは不要になり、従来は必ず存在した接続ピン14の間の大きな空隙は存在しない。そのため、薄膜LSIを形成する際に、1、000度C以上のプロセスを経て薄膜化を行なっても、熱膨張によるひずみが発生する恐れはない。さらに、接続面積が十分大きいので、接続形成後の熱サイクルによる局部応力発生に起因するクラックが発生し難い、接触面積が大きいので接触抵抗が小さく、抵抗値が不安定になることもない、空隙がないので熱抵抗が小さくなり、集積密度の向上に好適であるなど、多くの特長を有しており、超高密度メモリなどの実現に極めて有用である

【図面の簡単な説明】

【図1】本発明の実施例を示す断面図および平面図、

【図2】従来の半導体装置の構造を示す断面図、

【図3】本発明の実施例を示す工程図、

【図4】本発明の実施例を示す工程図、

【図5】本発明の第2の実施例を示す断面図、

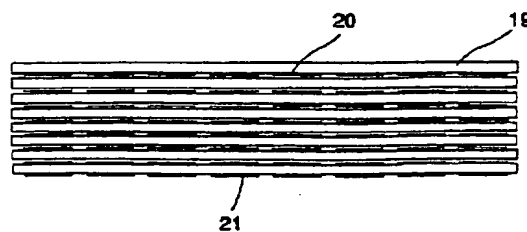
【図6】本発明の第2の実施例を示す図。

【符号の説明】

1…表面接続面端子、 2…表面スルーホール、 3…配線、 4…裏面スルーホール、 5…表面絶縁膜、 6…ゲート酸化膜、 7…ゲート、 8…素子間絶縁膜、 9…絶縁膜、 10…ソース・ドレイン、 11…裏面接続面端子、 12…シリコン基板、 13…従来の接続面端子、 14…接続ピン、 15…単結晶シリコン膜、 17…裏面スルーホール、 18…裏面接続面端子、 19…薄膜LSI、 20…接続面端子、 21…3次元LSI、 22…大チップLSI、 23…マイクロプロセッサ、 24…基板、 25…溝状の空隙部。

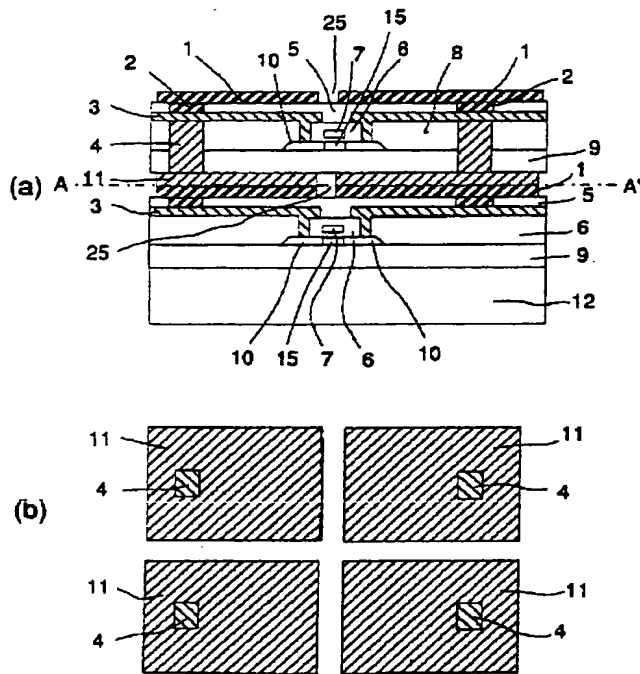
【図5】

図5



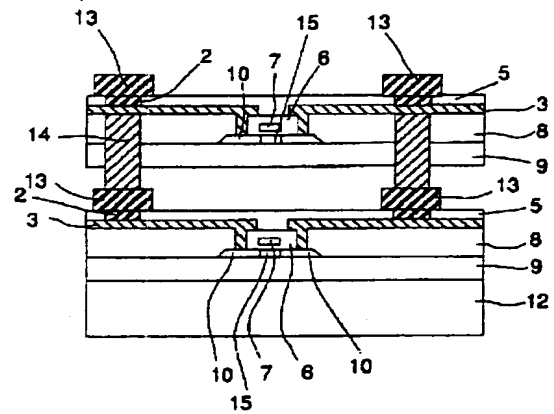
【図1】

図1



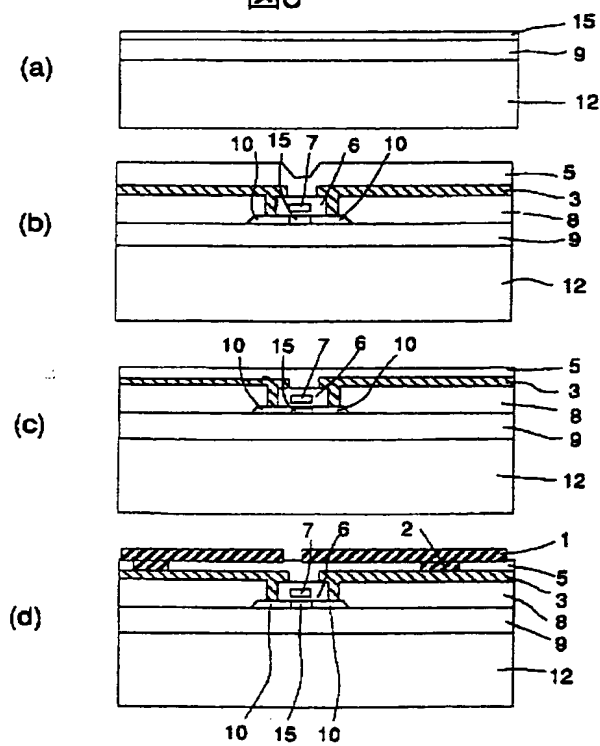
【図2】

図2



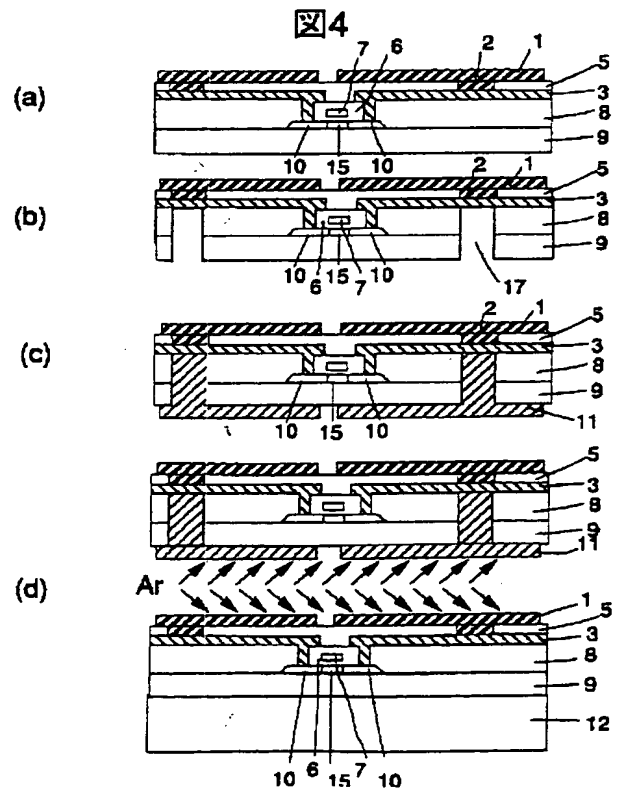
【図3】

図3



【図4】

図4



【図 6】

図6

